

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-241694

(43)Date of publication of application : 21.09.1993

(51)Int.Cl. G06F 1/32
G06F 15/02

(21)Application number : 04-041049 (71)Applicant : NEC HOME ELECTRON LTD

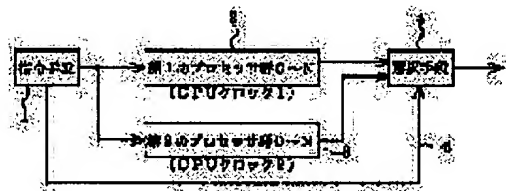
(22)Date of filing : 27.02.1992 (72)Inventor : HASEGAWA MASAO

(54) METHOD FOR CHANGING OPERATIONAL SPEED OF COMPUTER

(57)Abstract:

PURPOSE: To make the ultra high-speed operation compatible with low power consumption by operating by means of a group of processors.

CONSTITUTION: When a command means 1 commands a low-speed operation, a processor group 2 is stopped by receiving a pause instruction word from a command means 1, accessing a second processor group 3. While the command means 1 commands a high-speed operation, a second processor group 2 stops by receiving a pause instruction word sent from the means 1 to access the first processor group 1. Then a selection signal 5 is sent from the command means 1 to a selection means 4 selecting the system bus of the first or second processor group. The selection means 4 selects the system bus of the first or second processor group accessed by the command means 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

THIS PAGE BLANK (USPTO)

参考技術

②

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-241694

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/32 15/02	3 0 5 J	9194-5L 7165-5B	G 0 6 F 1/ 00	3 3 2 Z

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平4-41049

(22)出願日 平成4年(1992)2月27日

(71)出願人 000001937

日本電気ホームエレクトロニクス株式会社
大阪府大阪市中央区城見一丁目4番24号

(72)発明者 長谷川 正雄

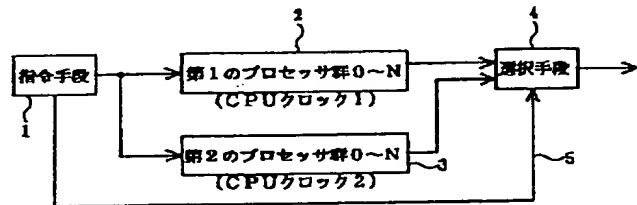
大阪府大阪市中央区城見一丁目4番24号日
本電気ホームエレクトロニクス株式会社内

(54)【発明の名称】 コンピュータの動作速度変更方法

(57)【要約】

【目的】 超高速動作と低速動作をプロセッサ群で動作させることができ、結果として超高速動作と低消費電力化の両立を図る。

【構成】 指令手段1が低速動作を指令すると、指令手段1からの休止命令語を第1のプロセッサ群2が受信して休止し、第2のプロセッサ群3がアクセスされ、あるいは指令手段1が高速動作を指令すると、この指令手段1から送出される休止命令語を第2のプロセッサ群2が受信して休止し、第1のプロセッサ群1がアクセスされる。その後、指令手段1から選択信号5が、第1もしくは第2のプロセッサ群1, 2のシステムバスを選択する選択手段4に送出されて、この選択手段4が指令手段1でアクセスされた第1もしくは第2のプロセッサ群1, 2のシステムバスを選択する。



【特許請求の範囲】

【請求項1】 命令語を送出する指令手段が低速あるいは高速動作を指令すると、この指令手段から休止命令語が、システム動作中に動作速度の変更を不可能とする高速動作の第1のプロセッサ群、あるいはシステム動作中に動作速度の変更を可能とする低速動作の第2のプロセッサ群に送出され、上記指令手段が低速動作を指令した時は、第1のプロセッサ群を休止して第2のプロセッサ群をアクセスし、上記指令手段が高速動作を指令した時は、第2のプロセッサ群を休止して第1のプロセッサ群をアクセスし、その後、上記指令手段からの選択信号により、上記指令手段でアクセスされた第1あるいは第2のプロセッサ群のシステムバスを選択手段で選択することを特徴とするコンピュータの動作速度変更方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、パーソナルコンピュータに係り、低消費電力機能を備えたコンピュータの動作速度変更方法に関する。

【0002】

【従来の技術】従来（図示せず）の低消費電力方式は、マイクロプロセッサの動作スピードを制御すると共に、ハードディスク装置やフロッピディスク装置等が、未使用時にそれらの電源をオフする方式が一般的であった。

【0003】【発明が解決しようとする課題】本発明は、バッテリーおよびAC電源で動作するパーソナルコンピュータにおいて、高速動作と低消費電力の低速動作の両立を可能にするものである。

【0004】一般に、マイクロプロセッサの消費電力はその動作スピードに比例する。

【0005】従って、従来の高速動作と低速動作の切り替えは、マイクロプロセッサの動作スピードをダイナミックに制御することにより行なわれていた。

【0006】ところが、ある種の超高速マイクロプロセッサにおいてはダイナミックに（＝動作中に）動作スピード変更をすることが許されていないものがある。

【0007】従って、従来のパーソナルコンピュータの低消費電力方式では、この種のマイクロプロセッサには対応できないという問題があった。

【0008】

【課題を解決するための手段】従って、本発明のコンピュータの動作速度変更方法は、上述の課題を解決するために、命令語を送出する指令手段が低速あるいは高速動作を指令すると、この指令手段から休止命令語が、システム動作中に動作速度の変更を不可能とする高速動作の第1のプロセッサ群、あるいはシステム動作中に動作速度の変更を可能とする低速動作の第2のプロセッサ群に送出され、上記指令手段が低速動作を指令した時は、第1のプロセッサ群を休止して第2のプロセッサ群をアクセスし、上記指令手段が高速動作を指令した時は、第2

のプロセッサ群を休止して第1のプロセッサ群をアクセスし、その後、上記指令手段からの選択信号により、上記指令手段でアクセスされた第1あるいは第2のプロセッサ群のシステムバスを選択手段で選択することを特徴とする。

【0009】

【実施例】次に、本発明の一実施例について図1～図4を参照して説明する。

【0010】図1は、本発明の一実施例を示すブロック図である。

【0011】図2は、本発明の一実施例のタイミング及び動作図である。

【0012】図3は、本発明の一実施例の指令手段を示す図である。

【0013】図4は、図2に対応するフローチャートである。

【0014】次にこれらの図面を参照しながら詳細に説明する。

【0015】第1のプロセッサ群2は、超高速で動作できるプロセッサであり、動作中に動作クロックの周期を変更できない構造になっている。

【0016】第2のプロセッサ群3は動作クロック周期の切換えにより動作スピードを適宜変更できる、従って低消費電力化の制御が比較的容易である。

【0017】ここで、本実施例ではCPU及びコ・プロセッサをあわせてプロセッサ群と呼ぶことにする。

【0018】そして第1のプロセッサ群2及び第2のプロセッサ群3はメインメモリを共有し、排他的に動作する。

【0019】この排他的動作は、オペレーティングシステムと呼ばれるシステムソフトウェアの管理下の基に制御される。

【0020】図1は、これらをブロック図化して示したものである。

【0021】第1のプロセッサ群2の動作を休止させ、第2のプロセッサ群3を動作状態にするには、先ず第1のプロセッサ群2のソフトウェア命令を区切りの良いところで終結させなければならない。

【0022】上述のシステムソフトウェアは第1のプロセッサ群2が実行中のソフトウェア命令を区切りの良いところで終結させるべく終結処理ルーチン（図示せず）を起動する。

【0023】この終結ルーチンの最後には図3に示す様に休止命令が格納されている番地を有するジャンプ命令が格納されている。

【0024】また、第1のプロセッサ群2の動作休止は、このジャンプ命令を介してその休止命令がこのプロセッサ群2で実行された時から始まる。

【0025】図1の指令手段1の実体は、図3にも示す様にシステムソフトウェア内の終結処理ルーチンの一

部分でありメインメモリ上に存在する。

【0026】そして、第1のプロセッサ群2が休止状態となった後に、指令手段1は選択手段4に選択信号5を供給し、第2のプロセッサ群3のシステムバスを選択させる。

【0027】図1のブロック図は既存のパーソナルコンピュータのマイクロプロセッサ(CPU)部分に対応する。

【0028】従って、選択された第2のプロセッサ群3の状態は、選択された時点以前の状態、すなわち動作中であれば、その状態が休止状態であれば、その状態が連続する。

【0029】そして、例えば低消費電力化のために低速動作させる場合には、図2に示す様にCPUクロック2を周期が大きくなる様に制御する。

【0030】CPUクロック2の変化に対応して第2のプロセッサ群3は低速動作(低消費電力)状態になる。切換え前のこの第2のプロセッサ群3の動作状態は、休止状態、高速動作状態、低速動作状態、停止状態のいずれかである。

【0031】なお、このプロセッサ群3を選択後にイニシャルスタートとしても良い。

【0032】図4は上記説明をフローチャートで示したものである。

【0033】ここで、第2のプロセッサ群3を動作させる理由は二つある。

【0034】一つは、第2のプロセッサ群3にのみ対応するソフトウェアを実行させる場合。

【0035】もう一方は、低消費電力で動作させてバッテリー寿命を延ばしたい場合である。

【0036】一般にバッテリー動作可能なパーソナルコンピュータで使用されるタイプのプロセッサの消費電力は、プロセッサの動作スピードに比例するので低消費電力化には第2のプロセッサ群3が求められる。

【0037】尚、本実施例では第1のプロセッサ群2を

動作休止、第2のプロセッサ群3を動作開始としたが、この逆も同様に制御される。

【0038】但し、休止状態のプロセッサ群を動作状態に復帰させるには別の制御手段(図示せず)から復帰割込みをそのプロセッサに発行することが必要になる。

【0039】第一のプロセッサ群はAC電源で使うのが望ましいが、バッテリーで動作させる場合は、バッテリー短寿命を覚悟しなければならない。

【0040】しかし、第一のプロセッサ群と第二のプロセッサ群にソフトウェア互換性がある場合は、超高速動作と低速動作を上述の手段で適宜選択しながら、これらプロセッサ群を動作させることができ、結果として超高速動作と低消費電力化の両立を図ることができる。

【0041】

【発明の効果】以上説明したように、本発明のコンピュータの動作速度変更方法によれば、低速動作を選択する場合には、指令手段から第一のプロセッサ群にHALT等の休止命令語を供給し、これらマイクロプロセッサ群の機能を停止して低消費電力化を図る効果がある。

【0042】また、第一のプロセッサ群と第二のプロセッサ群のソフトウェア互換性がある場合は、超高速動作と低速動作を適宜選択しながら動作させることができ、超高速動作と低消費電力化との両立を図る効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【図2】本発明の一実施例のタイミング及び動作図である。

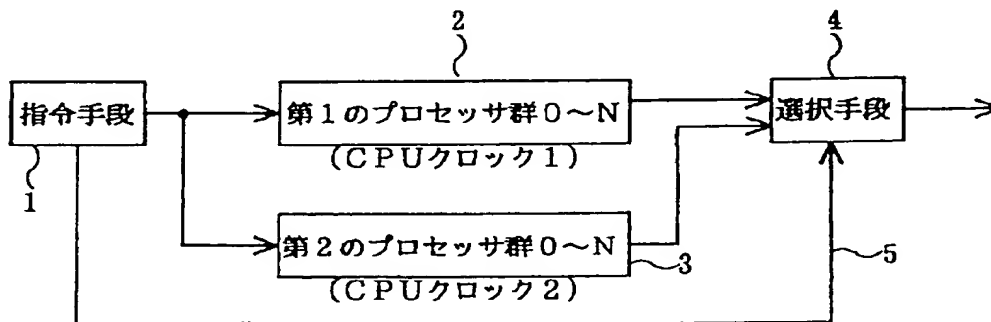
【図3】本発明の一実施例の指令手段を示す図である。

【図4】図2に対応するフローチャートである。

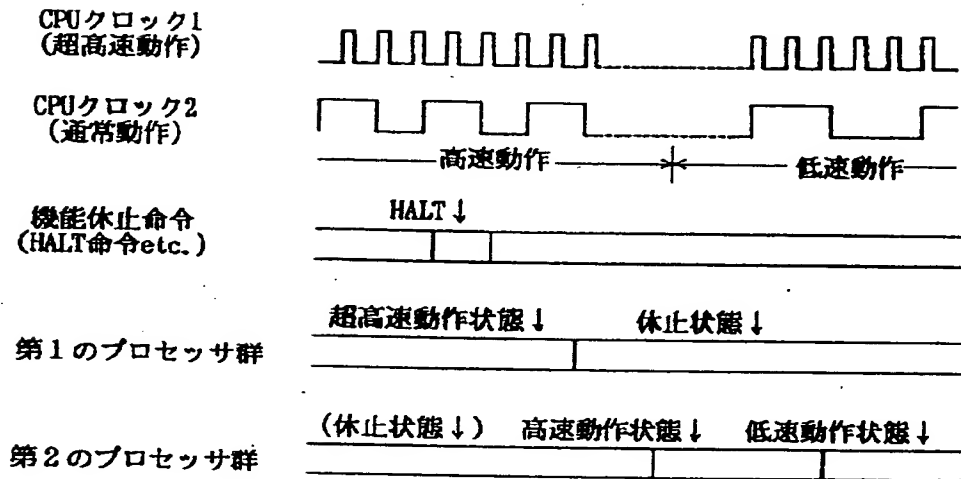
【符号の説明】

- 1 指令手段
- 2 第1のプロセッサ群
- 3 第2のプロセッサ群
- 4 選択手段
- 5 選択信号

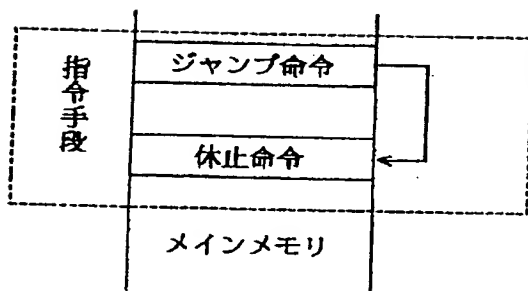
【図1】



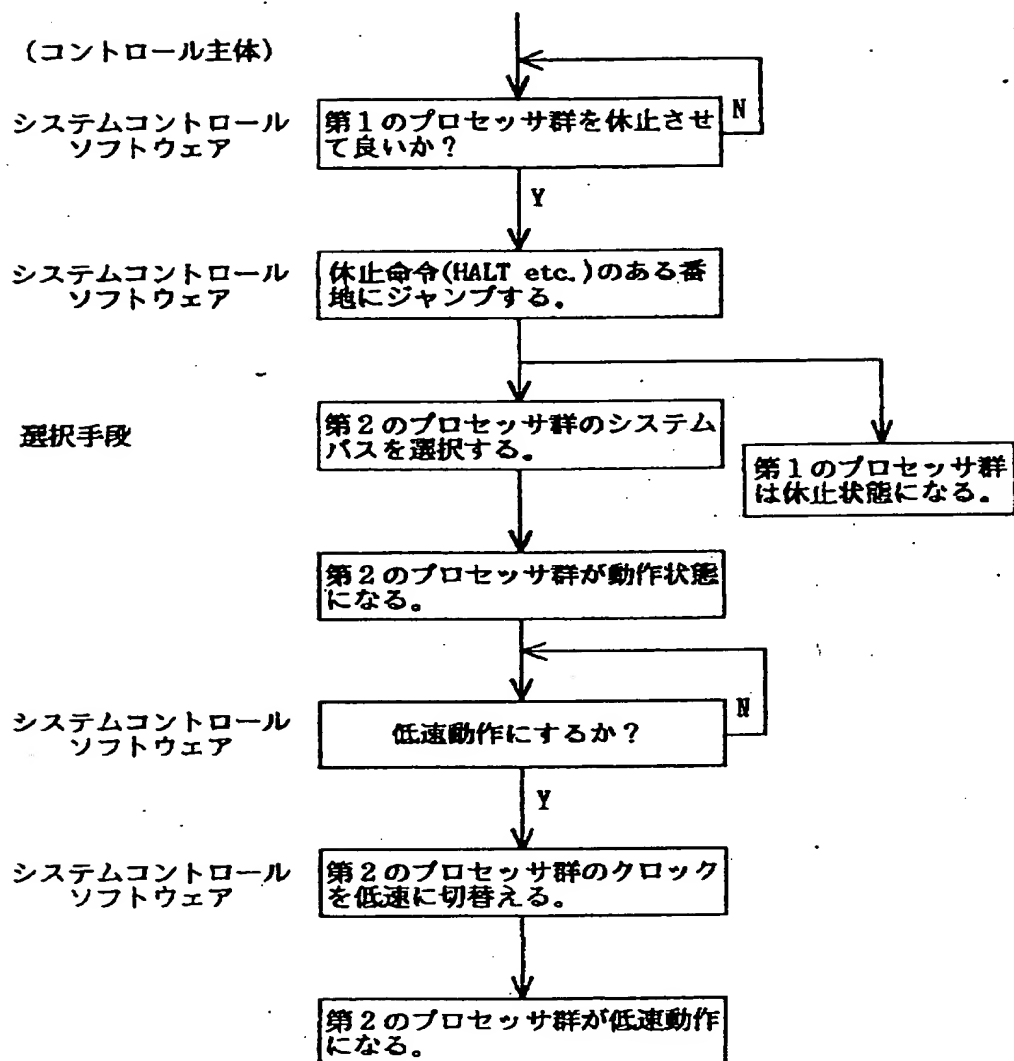
【図2】



【図3】



【図4】



THIS PAGE BLANK (USPTO)